

电源 IC 输入端的过应力分析

摘要

电源 IC 的失效常常是其输入端受到电气过应力 (EOS) 的结果。本文对电源 IC 输入端 ESD 保护单元的结构进行了解释, 说明了它们在受到 EOS 攻击时是如何受损的。造成 EOS 攻击事件的原因常常是热插入和导线或路径电感与低 ESR 陶瓷电容结合在一起形成的瞬态效应。在系统设计中采用一些特别的设计可以避免 EOS 的发生, 防范它们可能带来的危害。

目录

1. 概述	2
2. Buck 转换器输入端的结构	2
3. ESD 和 EOS 的差异	3
4. 由于输入电压太高造成 IC 失效的案例	4
5. 电源热插入导致的输入端过应力	7
6. 不同类型 ESD 单元的击穿特性	10
7. 消除热插入期间电压尖峰的措施	11
8. 其他造成电源 IC 输入端 EOS 的原因	13
9. 用自制工具生成 EOS	15
10. 总结	18

1. 概述

在产品研发和生产过程中总是会出现一些 IC 损坏的现象，要想找出这些 IC 损坏的根本原因并不总是很容易。有些偶发性的损坏很难被重现，这时的难度就会更大。有些时候 IC 的失效表现简直就是灾难性的，可能被烧得一塌糊涂，对这样的状况进行分析就像要在完全烧成断垣残壁的日子里找出火灾的原因一样，几乎就是不可能的事情。

立锜科技在长时间的工作中对大量用户的失效样品进行了分析。通过对损坏的区域进行仔细的探查，有时候是可以对损坏元件进行准确定位的，这对寻找类似失效的原因会有很大帮助。

在很多情况下，器件失效的原因都是输入电压太高了。

本文的后续章节将对 Buck 转换器输入端的结构进行介绍，给出过高的输入电压造成器件损坏的机制，通过不同的应用案例说明过高的输入电压是如何发生的，还将提供相应的问题解决方案。



2. Buck 转换器输入端的结构

图 1 显示了一个 Buck 转换器 IC 内部的基本构成，其中包含了几个静电释放 (ESD) 防护单元。

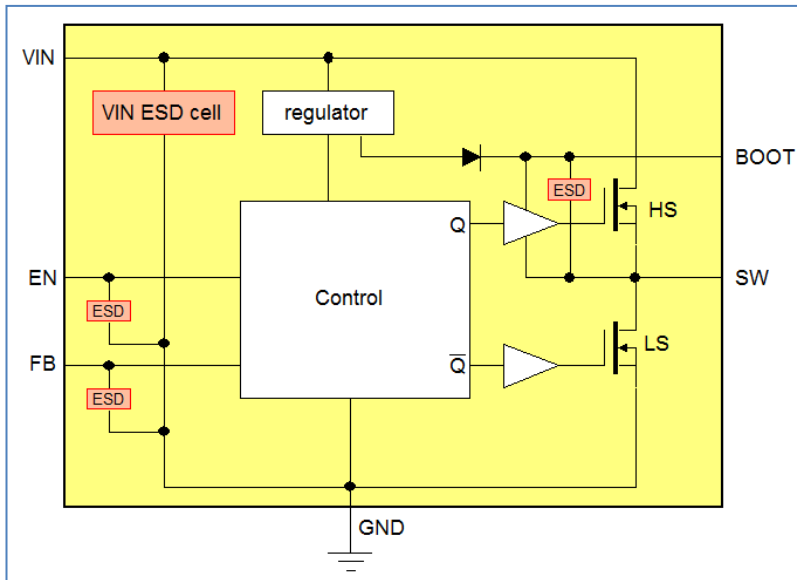


图 1

电源输入端 VIN 被一个很大的 ESD 单元保护着，其保护范围包括内部稳压器和 MOSFET，因而可以承受很高的静电电压。SW 端子内部通常没有 ESD 单元，因为大型 MOSFET 本身就可以像 ESD 保护单元一样动作，静电电流可经其体二极管流向 GND 或 VIN 端，也可利用它们的击穿特性实现保护。BOOT 端有一个 ESD 单元处于它和 SW 之间，其它小信号端子也各有一个小型的 ESD 单元，它们通常都和输入串联电阻一起保护这些小信号端子免受静电放电的危害。

在立锜的电源 IC 中，用于保护 IC 端子的 ESD 元件的动作电压介于器件的击穿电压和绝对最高工作电压之间，这样可避免它们在正常工作期间被触发，参见图 2。

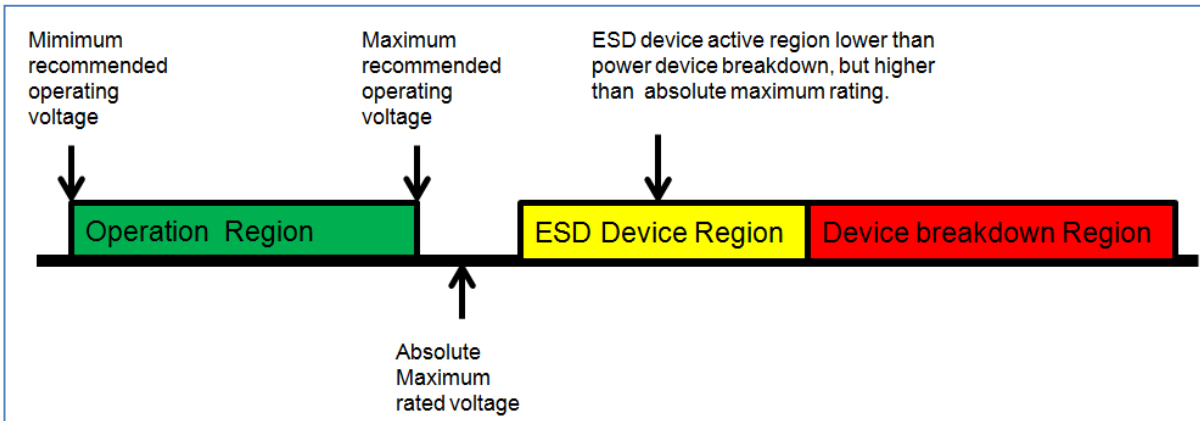


图 2

ESD 单元在设计上的特性将决定其 ESD 击穿电压、最大冲击承受能力和其折返特性。

3. ESD 和 EOS 的差异

当超过 ESD 单元钳位电压的过电压出现在 IC 端子上时，IC 会不会损坏就取决于 ESD 元件被击穿期间通过它的能量的多少。

ESD (Electro Static Discharge, 静电释放) 和 EOS (Electrical Over Stress, 电气过应力) 都是与电压过应力有关的概念，但它们之间的差异也很明确：

- ESD 的电压很高 (> 500V)，持续时间相对较短 (< 1μs)
- EOS 的电压相对较低 (< 100V)，持续时间更长一些 (通常 > 1μs)

立锜科技的 IC 的 ESD 保护单元都是按照一定的标准进行设计的，这使得它们能够承受一定的 ESD 脉冲能量，这些标准是关于人体模型 (HBM) 的 JESD22-A114 (其电压值为 2kV) 和充电器件模型 (CDM) 的 JESD22-C101E (其电压值为 500V)。人体模型的 ESD 放电过程含有极为陡峭的上升沿和大约 300ns 的指数式下降过程，充电器件模型的 ESD 放电过程呈现为极短时间的振荡脉冲，振荡周期约为 4ns。比较而言，人体模型的 ESD 放电具有最高的能量等级。

静电放电总是在极短的时间内完成的，图 3 显示了 JEDEC 定义的人体模型 ESD 测试方法，其中的 100pF 电容首先被充电到一定的水平，然后通过一只 1500Ω 电阻将电能释放到受试器件上。

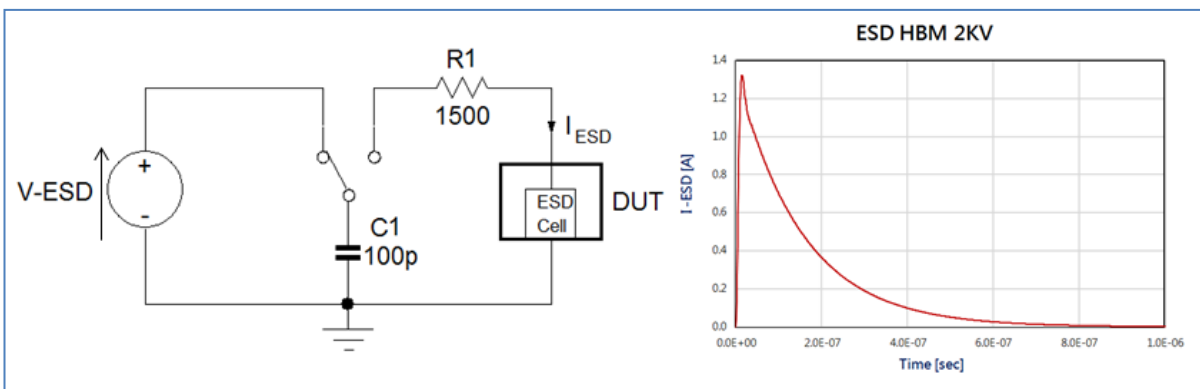


图 3

由于多数被测元件的 ESD 保护单元的击穿电压都比测试电压低很多，ESD 测试的峰值电流基本上都是由测试电压和 1500Ω 电阻决定的。在此波形样板中，测试电压为 2kV，由此带来的峰值电流为 $2\text{kV}/1.5\text{k} = 1.3\text{A}$ 。RC 时间常数约为 150ns，因此波形下降得很快，整个过程在 1μs 以内。

对于 2kV 的 ESD 测试来说，释放出来的电荷大约为 0.2μC，这个数据可以被用于计算到底有多少能量在 ESD 期间进入 ESD 保护单元。例如，当 ESD 保护单元的击穿电压为 27V 时，2kV 的人体模型 ESD 放电脉冲在其中释放的能量大约为 $0.2\mu\text{C} \cdot 27\text{V} = 5.4\mu\text{J}$ 。如果是进行 4kV 的 ESD 放电测试，这个值就会翻倍到大约 10.8μJ。

当持续时间更长的 EOS 事件发生时，冲击 ESD 保护单元的能量就会更多，常常超出 ESD 保护单元的最大冲击能量承受能力，这样就会在 ESD 保护单元中积累太多的热量，最终导致严重的毁灭性结果。通常情况下，芯片中支撑 ESD 保护单元的其他部分也会连带着一起受损。

4. 由于输入电压太高造成 IC 失效的案例

为了展示实际 IC 输入端的应力限制，我们来探讨一下 [RT7285CGE](#)，这是一款 18V 耐压的 ACOT 架构 Buck 转换器，额定负载能力为 1.5A，采用 SOT-23-6 封装，它的规格书列出了下述的推荐工作条件和绝对最大额定值数据：

Recommended Operating Conditions

- Supply Input Voltage, VIN ----- 4.3V to 18V
- Junction Temperature Range ----- -40°C to 125°C
- Ambient Temperature Range ----- -40°C to 85°C

Absolute Maximum Ratings

- VIN to GND ----- -0.3V to 20V
- SW to GND ----- -0.3V to (VIN + 0.3V)
- < 10ns ----- -5V to 25V
- BOOT to GND ----- (VSW - 0.3V) to (VSW + 6V)
- Other Pins ----- -0.3V to 6V

输入端 ESD 保护单元的击穿电压应该高于上述的绝对最大额定值数据 20V。为了测定实际的数据，我们可以使用 I/V 曲线测试仪，它应该和 IC 的 VIN 和 GND 连接起来。当我们这样做的时候，IC 的使能端应当和 GND 连接以使 IC 保持在关机状态。将曲线测试仪的纵轴设定为 100μA/div，同时设定其功率限制为 0.5W。让水平轴的电压缓慢增加，最后会看到波形在电压大约为 25.5V 的地方突然上升，这意味着 [RT7285C](#) VIN 端的 ESD 保护单元的击穿电压为这个值。由于曲线测试仪的功率是受到限制的，流过 ESD 保护单元的电流不会太大 (< 1mA)，这样的测试不容易对 IC 造成损害。参见图 4。

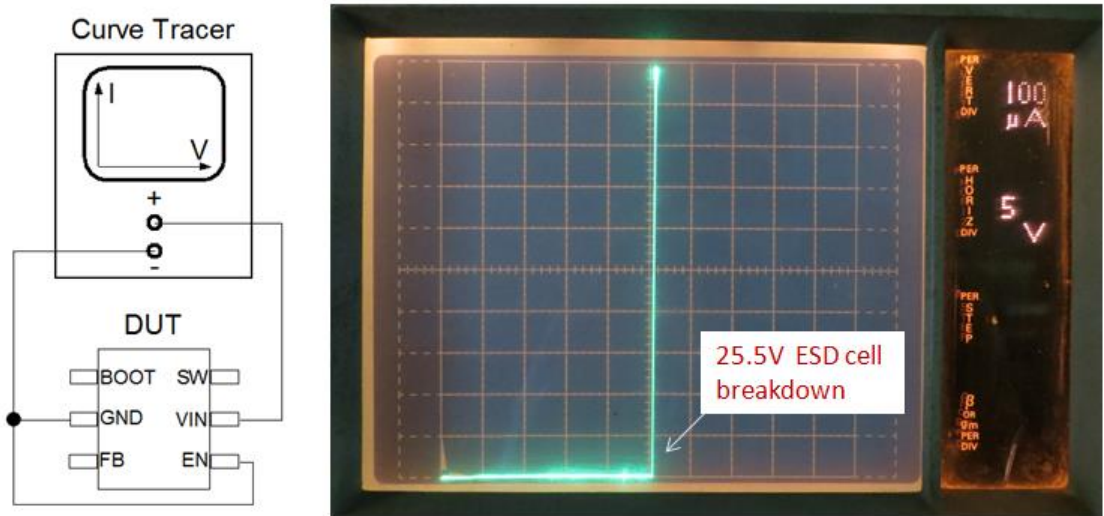
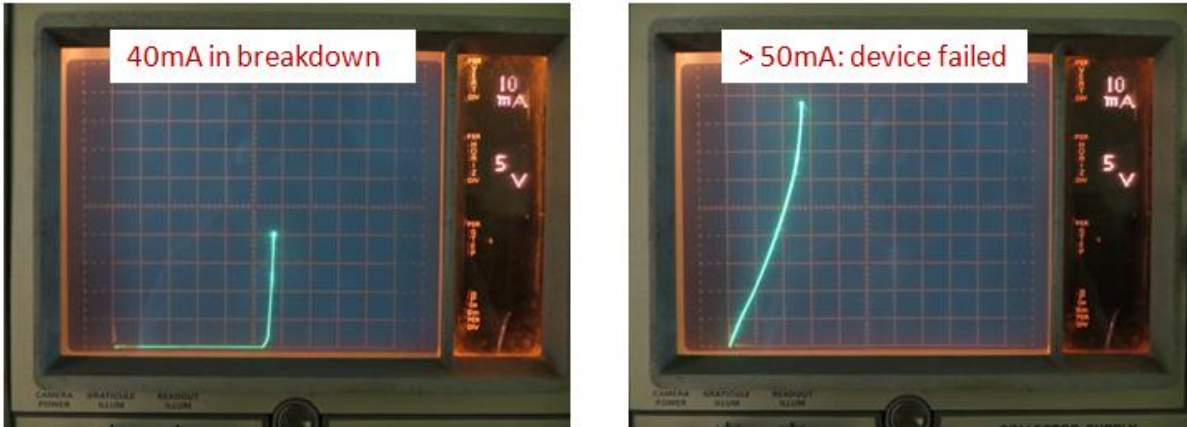


图 4

由于 ESD 保护单元的击穿特性是很陡峭的限幅状态，超过其限幅水平的任何输入电压很容易就会导致大电流的出现，并且会在 ESD 单元中产生巨大的功耗，这将快速导致毁灭性的效果。假如我们在测试中加大曲线测试仪的电流设定和功率限制值，很容易就可以将 ESD 单元毁掉，我们在此时将看到击穿特性的突然坍塌，此后，该器件将在 VIN-GND 之间表现为低阻特性。



(在连续模式设定中，曲线测试仪的脉冲周期很长，大约为 4ms，这将在大电流测试中快速导致高能量状态。)

通过像图 5 那样将脉冲电流施加给受试器件，我们有可能将 ESD 保护单元的失效点更精确地测量出来。测量中所用的电源电压需要高于 ESD 保护单元的击穿电压，电流脉冲的宽度和电流的幅度可以通过精确的调节以寻找到 ESD 保护单元在不同电流水平和不同脉冲持续时间下的不同的失效点。

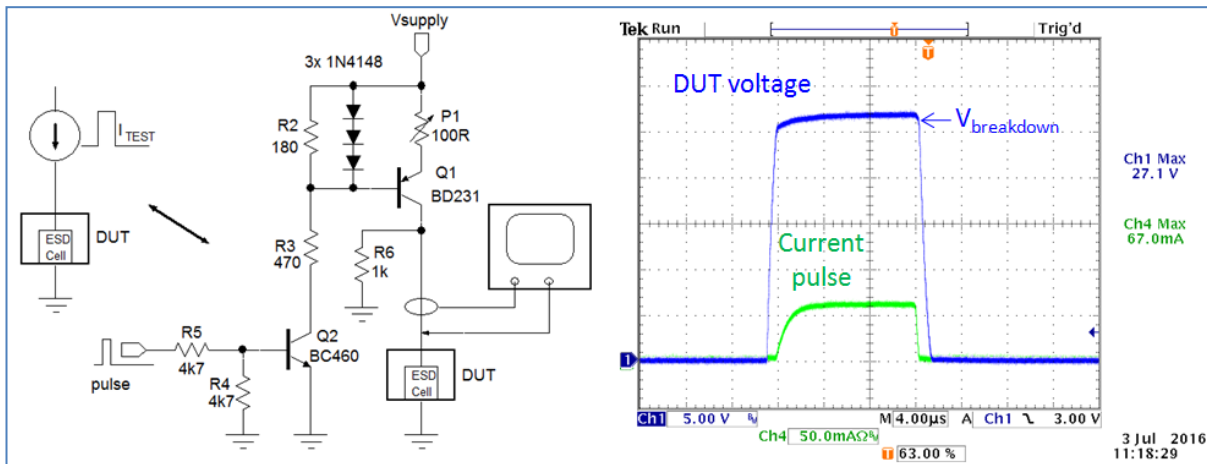


图 5

图 6 给出在 25°C 环境温度下对 [RT7285C](#) 用电流脉冲进行击穿测试的波形。

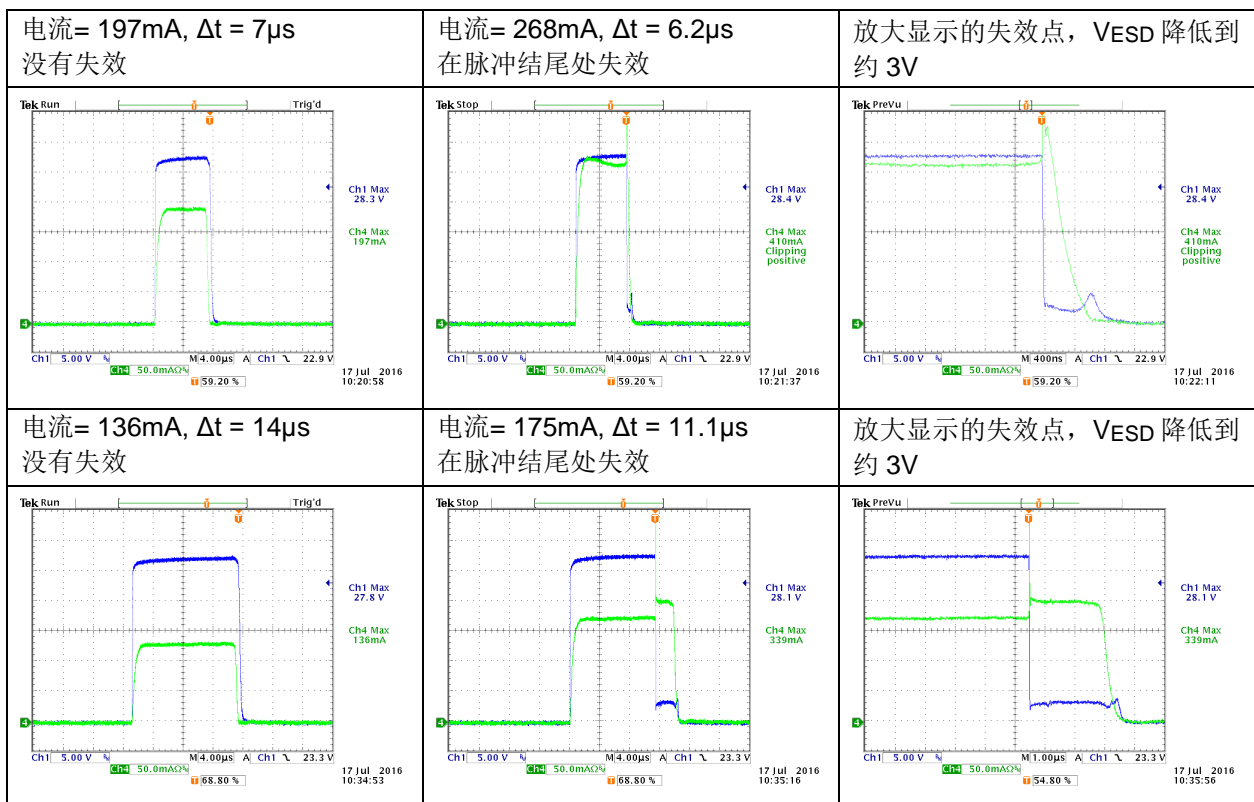


图 6

从失效发生的测试波形中，ESD 单元能够承受的最大冲击能量可以被计算出来：当用 6 μs 的 268mA 脉冲（7.6W 峰值功率）时，造成器件失效的冲击能量为 47 μJ ；当用 11 μs 的 175mA 脉冲（4.9W 峰值功率）时，造成器件失效的冲击能量大约是 55 μJ 。造成器件失效的冲击能量与器件的温度是高度相关的，温度越高，能够造成失效的冲击能量也越少。无论如何，在这种 EOS 测试中造成器件失效的能量总是明显高于普通的人体模型 ESD 测试中的能量。

图 7 显示的是将上述测试中失效了的器件打开以后看到的景象，ESD 单元显示出烧毁了痕迹，ESD 单元与地线之间的连接路径上也出现了烧痕。另外，与 ESD 单元临近的上桥 MOSFET 区域也显示出一些受损的痕迹。所有的迹象都在表明 ESD 单元区域受到了严重的热损伤。

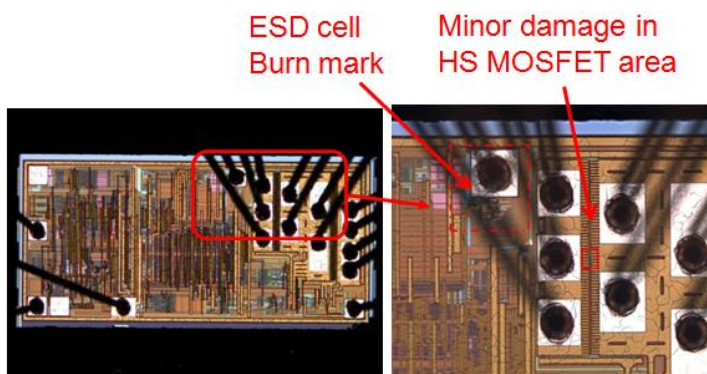


图 7

需要注意的是，上面的这些输入电压过应力都是在 IC 处于不工作的模式下加上去的，此过程中只有 ESD 单元处于活动状态，最大电流也受到了限制。因此，硅芯片所受到的损伤也是相对不算大的。

5. 电源热插入导致的输入端过应力

一种造成电源 IC 输入端受到 EOS 冲击的常见原因是电源的热插入事件，这种事件发生在处于开机状态的电源被引入一个系统的时候。这种系统的输入端通常含有低 ESR 的陶瓷输入电容，它们与电源引线的电感一起发生谐振，可以导致高压振荡信号的出现。图 8 显示的就是这样的场景，其中的电源是开着的，有两根引线将电源接入应用系统，其中的开关 S 用于模拟热插入的行为。

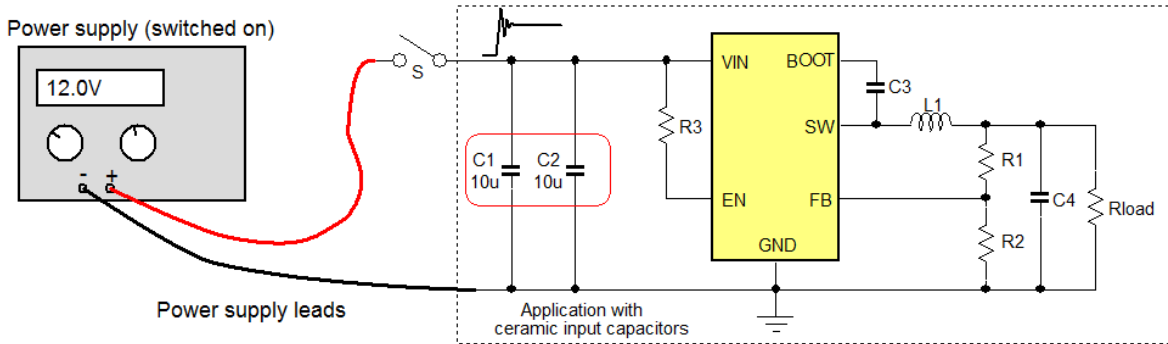


图 8

出现在系统输入端的电压振荡信号的幅度与很多因素有关：电源供应器的内阻，引线的电阻和电感量，开关 S 的电阻，输入电容 C1、C2 的电容量和它们的 ESR 的大小。

作为一个例子，我们假设 12V 电源供应器具有很大的输出电容，电源引线的长度为 1.2m 并且具有很低的电阻，开关 S 的阻抗也是很低的，C1、C2 是 10 μ F/25V X5R 1206 的 MLCC。

电源引线的总电感大约为 1.5 μ H，包括连接器在内其电阻约为 10m Ω 。两只电容在 12V 直流偏置下的实际总容量约为 9 μ F，而且它们各自的 ESR 约为 5m Ω 。

图 9 显示了热插入事件发生在这样的输入电路时的振荡过程的模拟结果。

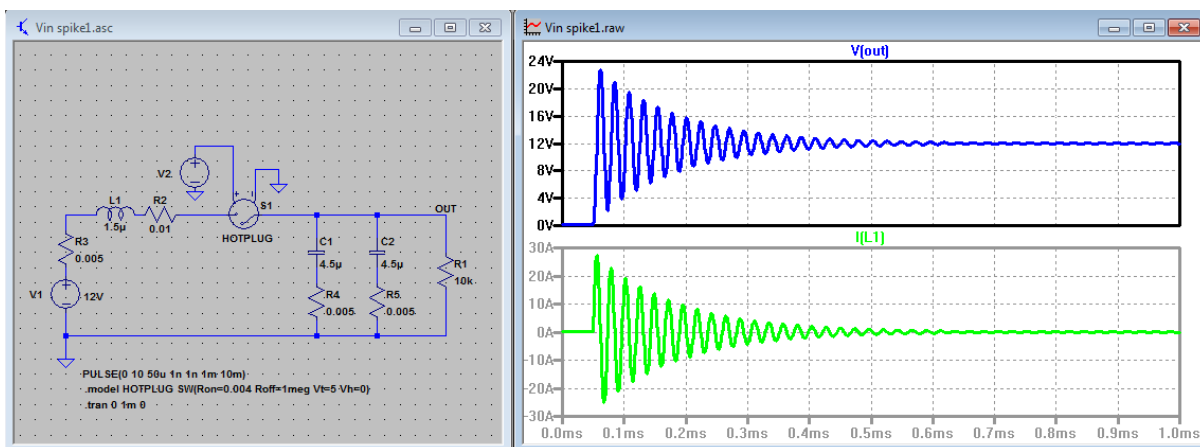


图 9

从模拟结果可以看到，这样的热插入过程导致的输入电流高达大约 30A，由引线电感和输入电容导致的电压振荡波形的峰值几乎可以达到直流输入电压的 2 倍。

图 10 显示的是对同样的电路进行热插入测试的情形，其中的开关 S 被换成了 MOSFET，该 MOSFET 是用脉冲发生器驱动的，目的是让热插入的动作变成是稳定的，同时也是可以重复的。

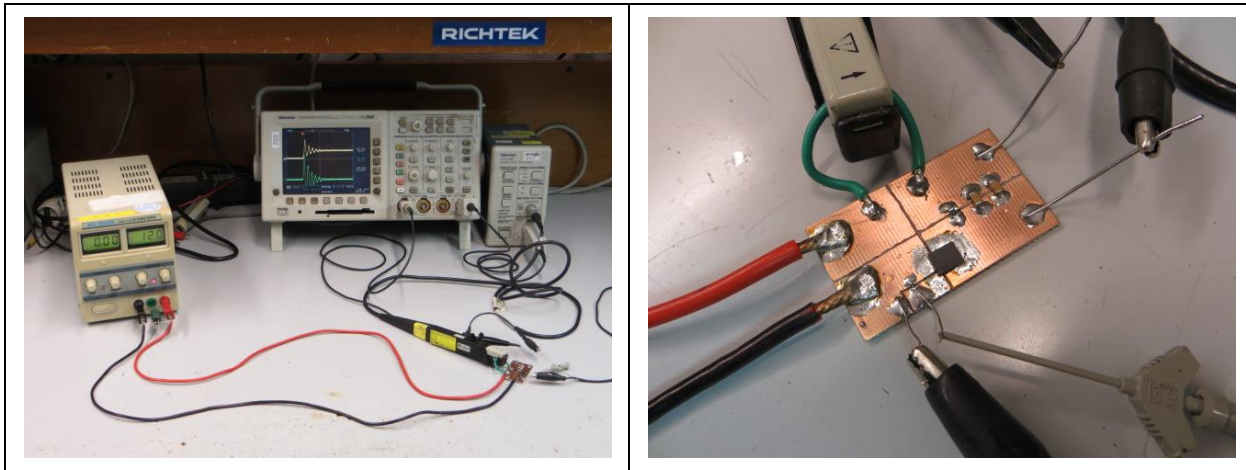


图 10

测试的结果显示在图 11 的左侧：

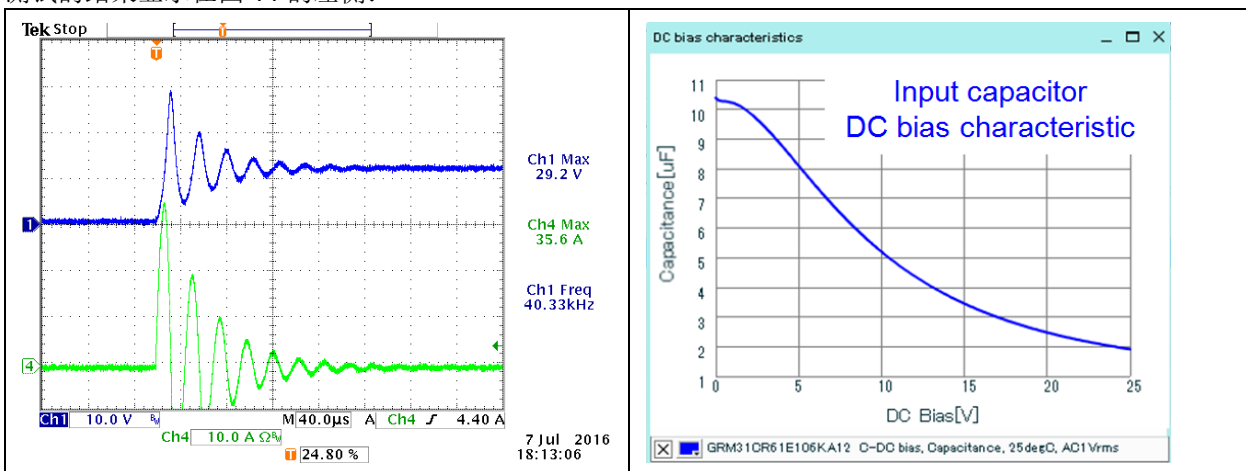
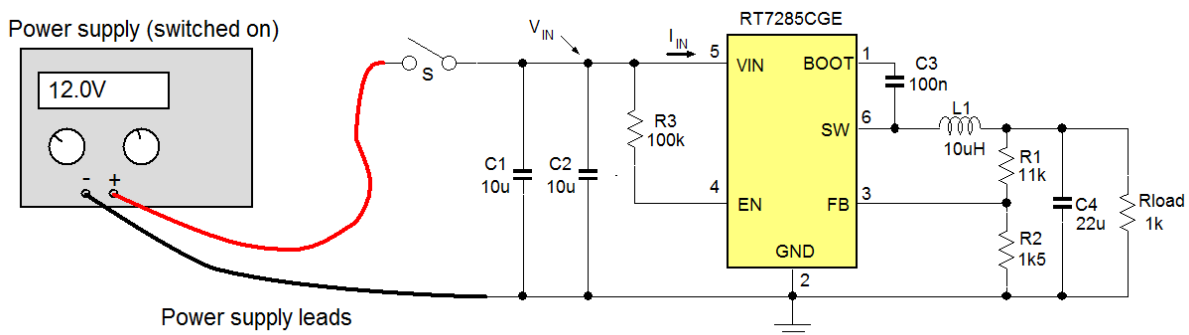


图 11

从中可以看到，实际的热插入事件导致了比理论上更高的振荡电压峰值，这是由于 MLCC 输入电容在直流偏置电压下的电容量的非线性变化导致的，它的这种特性在图中的右侧显示出来。当电容上的电压升高时，它的电容量会下降，对其充电的电流进入更小的电容后就会得到更高的电压。在此案例中，12V 电源的热插入事件能导致大约 30V 的最高电压峰值。

现在将同样的热插入方法应用到由 [RT7285CGE](#) 构成的 12V 转 5V 的标准应用电路上，再来测试此期间的 IC 输入电压和输入电流，看看会有怎样的表现。



通过缓慢增加直流电源的电压，我们就能看到不同的输入电压峰值下导致的不同的 IC 输入电流。在 IC 的工作模式下，IC 在启动过程中会有一个电流峰值出现，这是由 IC 的自举电路开始工作造成的，我们在这里应该将其忽略掉。在电源电压出现尖峰期间进入 IC 的电流峰值出现在 IC 的 ESD 单元被击穿的时候。

VSUPPLY = 11.6V, VIN peak = 27.2V	VSUPPLY = 11.9V, VIN peak = 28.4V	VSUPPLY = 12.1V, VIN peak = 29.4V
ESD 单元击穿电流: 100mA	ESD 单元击穿电流: 532mA	ESD 单元失效: 电流失去控制, 出现异常的开关动作

电流尖峰的持续时间大约为 1.8μs，在失效前通过 ESD 单元的能量大约为 $0.6A * 1.8\mu s * 29V = 31\mu J$ ，比 2kV 人体模式 ESD 脉冲带来的能量多 5 倍以上。

如上例，IC 处于工作状态下经受这种输入电压过应力时对 ESD 单元带来的损伤将会大很多，这是因为没有限制的输入电流将导致更高的电流水平，而由此导致的功率级的功能错误也会带来更严重的损害，通常会导致电源贯通并将 MOSFET 部分完全烧毁，图 12 所示的就是经历这种过应力损毁的器件在开盖以后所看到的景象。

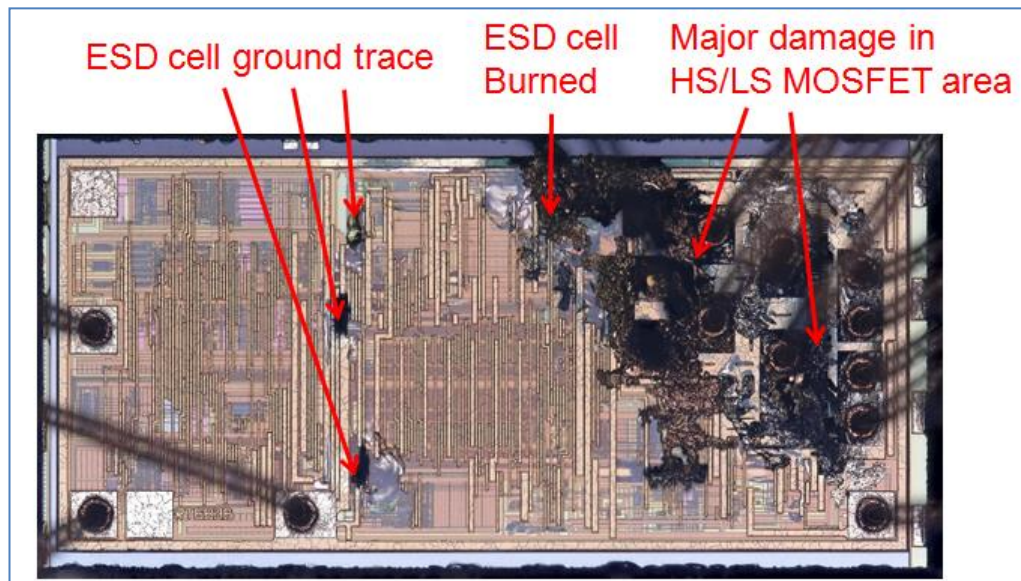


图 12

6. 不同类型 ESD 单元的击穿特性

根据不同的 IC 制程和设计，ESD 单元的类型也是不同的，它们各自具有独特的个性。

- PNP 型 ESD 单元可将击穿电压点钳制在相对固定的电压上，其表现与齐纳二极管相当。这种类型的 ESD 单元常用于 DC-DC 转换器的输入端保护，其表现参见图 13。

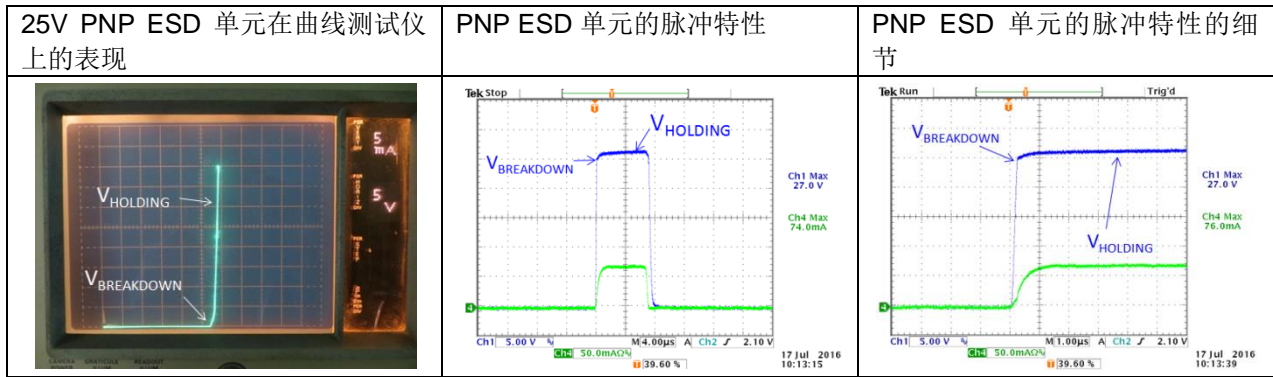


图 13

- SCR（单向可控硅整流器）型的 ESD 单元在击穿后会被钳制在很低的电压上，表现出很猛的折返特性，其表现见图 14。

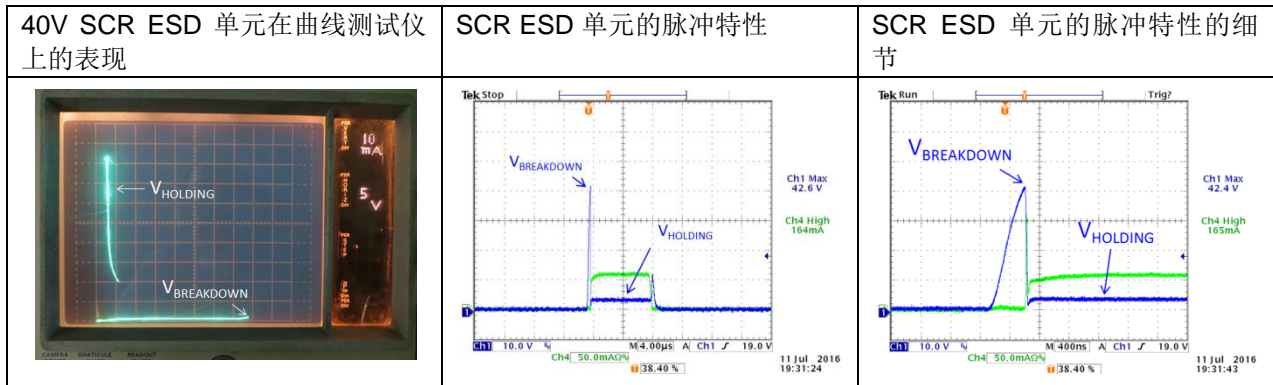


图 14

- NPN 型的 ESD 单元在击穿以后也表现出折返特性，但其保持电压与 SCR 型 ESD 单元的保持电压相比要高很多，参见图 15。

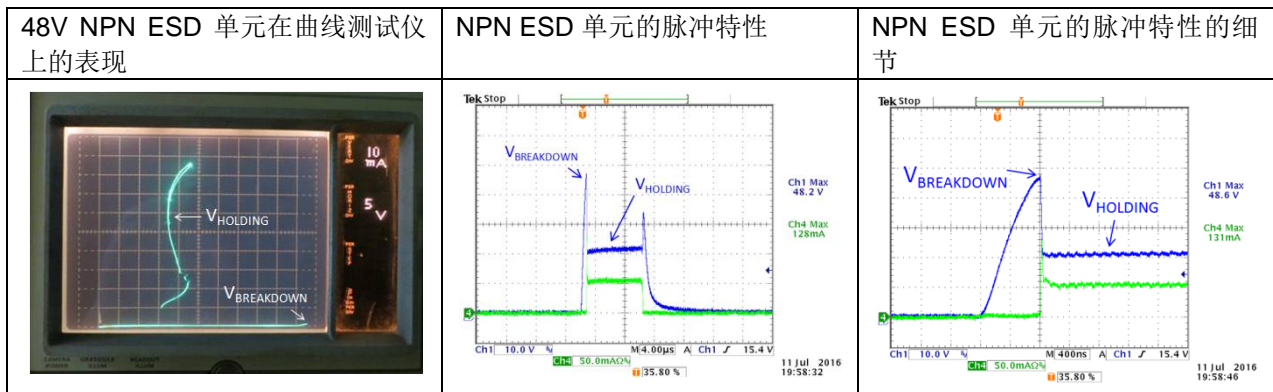


图 15

ESD 放电过程是一个电流受限的短时过程，因而 SCR 和 NPN 类型的 ESD 单元对高压敏感电路的 ESD 保护是有效的，因为它们都具有很低的保持电压。但当这些类型的 ESD 单元在有直流电源加载的场合被触发时，它们所具有的低维持电压如果低于外加的直流电压就会导致高输入电流，从而立即造成灾难性的损毁。下面的例子可供参考：

RT8470 是一款老旧的 Buck 架构 LED 驱动器，它的输入端 ESD 单元就是 SCR 类型的。当其 ESD 单元被出现在输入端的短脉冲触发时，其中的 SCR 就会被锁定住，看起来就是其输入端和地之间被短路了。图 16 对此进行了示范。

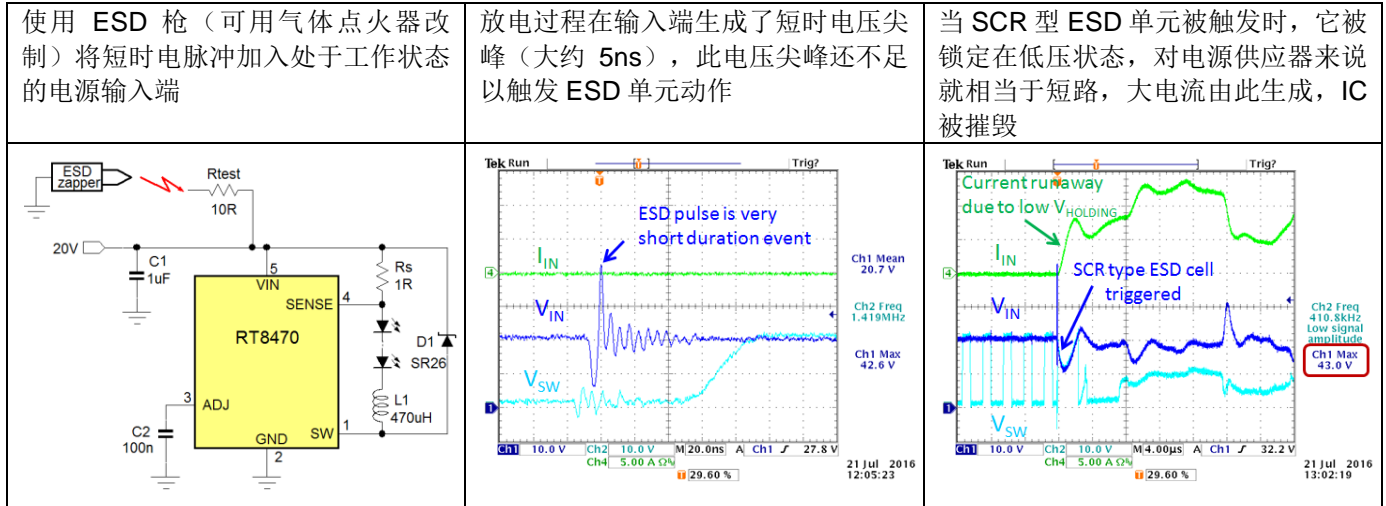


图 16

7. 消除热插入期间电压尖峰的措施

第 5 章已经解释过热插入期间电压尖峰发生的原因，图 17 将与输入电路有关的参数表达了出来：电源供应器的内阻 R_i ，电源传输线的电感 L_{wire} 和电阻 R_{wire} ，具有低 ESR 的输入电容。

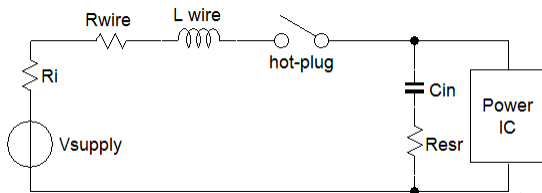


图 17

有多种方法可以降低热插入期间的电压振铃信号的幅度：

方法 1：大多数电源供应器是使用了很大的输出电容的开关模式电源适配器，这种电路的输出阻抗很低，遇到热插入事件时可以快速生成大电流。如图 18 那样增加一个共模电感和一只 ESR 比较高的小型电解电容，适配器的输出阻抗就会增加，谐振过程会受到抑制。

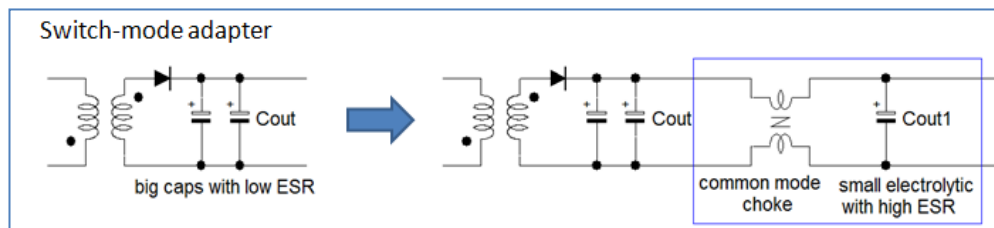


图 18

方法 2: 使用较小线径的适配器电缆来增加电缆的阻抗。为了达成好的谐振抑制效果，电缆的阻抗应该大于 0.3Ω ，其坏处是电缆上的压降会增加。

方法 3: 增加电缆两条线间的耦合程度。两线间更好的耦合可以形成相反的磁场，这对谐振的抑制有帮助。图 19 显示了对 75cm 长、规格为 18AWG 的同轴电缆的模拟，根据漏感测试的结果，两线间的耦合度大概为 0.8。

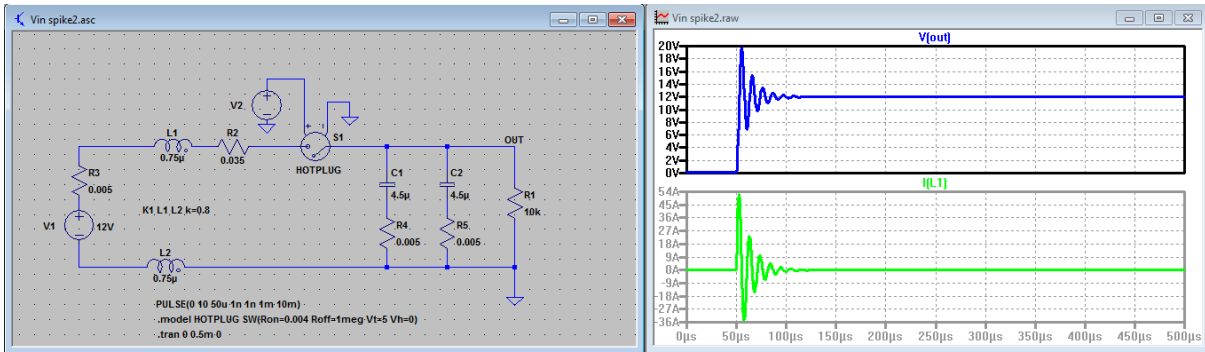


图 19

通过使用不同类型的电缆进行测量，可以确认耦合良好的线对谐振过程会有更好的抑制效果，相应的热插入过程所导致的电压尖峰也更低。参见图 20。

75cm/12AWG/ø2.05mm 实验室电缆, 耦合度 < 0.1, $R_{wire} = 0.008\Omega$	75cm/18AWG/ø1.02mm 双芯平行电缆, 耦合度 ≈ 0.3 , $R_{wire} = 0.035\Omega$	75cm/18AWG/ø1.02mm 同轴电缆, 耦合度 ≈ 0.8 , $R_{wire} = 0.035\Omega$
F 谐振 = 37kHz, V 尖峰 = 30.2V	F 谐振 = 51kHz, V 尖峰 = 25.2V	F 谐振 = 91kHz, V 尖峰 = 20.4V

图 20

方法 4: 由 LC 电路形成的谐振可以通过给输入电容并联一个 RC 电路进行抑制，RC 电路的参数可用下述方法进行计算：

R_s 的计算公式： $R_s = \frac{1}{2\xi} \sqrt{\frac{L_p}{C_{IN}}}$ 。其中 L_p 是电缆的电感量， C_{IN} 是系统的输入电容， ξ 是希望的抑制系数。

在前述的热插入案例中， L_p 大约是 $1.5\mu H$ ， C_{IN} 在 12V 时为 $9\mu F$ 。当我们选择良好的抑制效果 ($\xi = 1$) 时， $R_s = 0.2\Omega$ 。抑制电容 C_s 的值必须足够大以避免它在热插入造成的电流脉冲出现期间被过度充电，其电压增量 $V_c = I_c * 1/\omega C$ ，其中的 ω 是 L_p 和 C_{IN} 的谐振频率（测量数据大约是 40kHz）。由于电流脉冲的幅度是 35A，要想使充电造成的电压增量小于 2V，我们需要电容的值大于 $70\mu F$ 。

在加入 $100\mu\text{F}$ 和 0.2Ω 的 RC 电路后，针对上述的热插入案例再次进行仿真模拟，我们可以看到谐振被完全抑制住了，电压的过冲低于 2V ，参见图 21 所示。

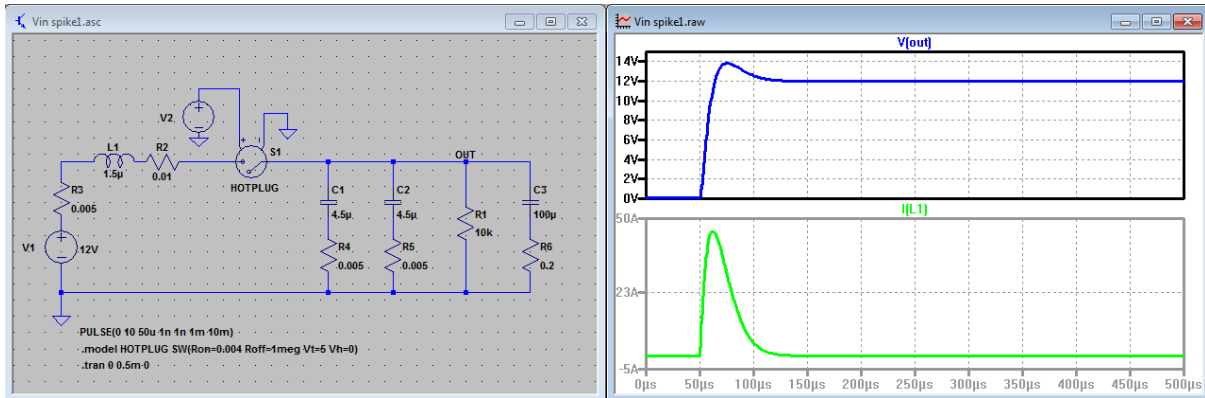


图 21

在实践中，RC 抑制电路可以很容易地通过使用一只 $100\mu\text{F}/25\text{V}$ 的电解电容实现，它需要和陶瓷输入电容并联在一起。之所以这么简单，是因为大多数 $100\mu\text{F}$ 的电解电容在 100kHz 频率下有大约 0.2Ω 的 ESR。

在图 22 中的右侧电路就在输入端加入了 $100\mu\text{F}/25\text{V}$ 电解电容，热插入试验表明其输入端的过冲会被完全抑制掉，不会有损毁风险再出现在 IC 上。

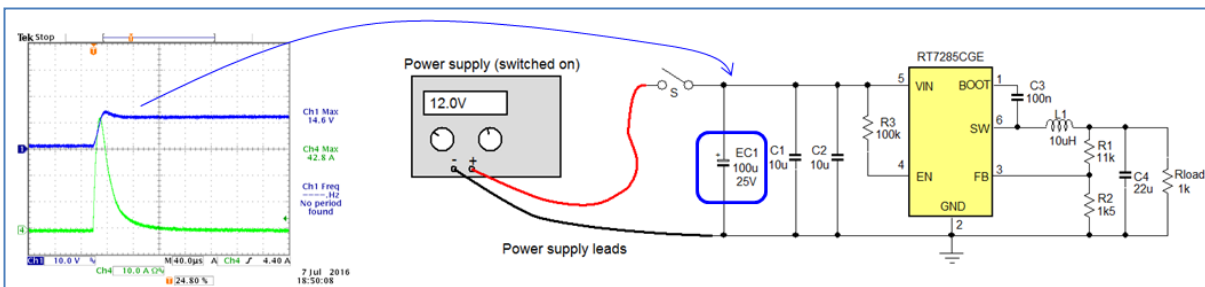


图 22

8. 其他造成电源 IC 输入端 EOS 的原因

除了热插入造成的冲击以外，还有其他一些状况可能造成电源 IC 输入端受到 EOS 的攻击：

a. USB 输出端短路测试造成 USB 开关输入端损毁

图 23 显示的是一个典型的 USB 开关的应用电路图，有一个 $1\mu\text{F}$ 的去耦电容放在靠近 IC 输入端的地方，电容前面有大约 10cm 的铜箔路径将它和 5V 主电源连接起来。

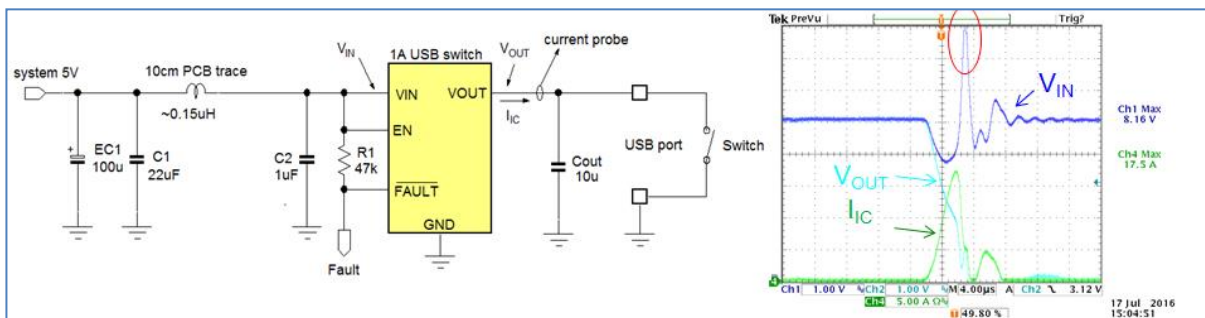


图 23

USB 端口都需要进行短路测试，这个测试通过一个开关来模拟，IC 需要在检测到短路以后快速将其 MOSFET 开关关断。从图 23 中的实例可以看到，MOSFET 开关关断的动作是有延时的，因而会有一个短时大电流流过 IC 之后关断才会发生。由于输入线有电感存在，此电感和输入端去耦电容 C2 会一起发生谐振，因而可在示波器上看见输入端出现了高压脉冲，这很可能超过 IC 的最高耐压能力并将其损毁。

为了解决这样的可靠性隐患，用于热插入风险防范的类似措施可以被纳入考虑范围，因此我们要在电路中加入类似电解电容的 RC 抑制电路。抑制电路的参数计算方法是类似的，我们可以利用开关关断过程的 di/dt 计算电容的值。实际上，一个 $47\mu\text{F}$ 的电解电容就可以将电压峰值控制在大约 6V 上，见图 24 所示。

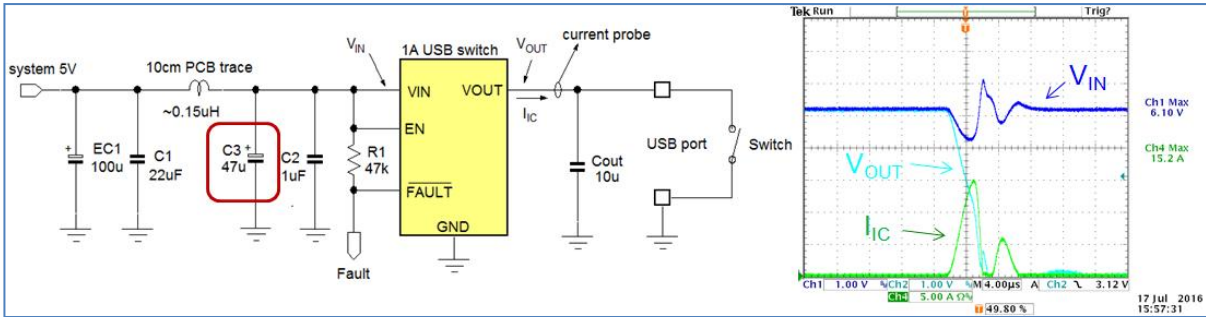


图 24

立锜科技全新的 USB 功率开关系列产品如 RT9742 已经考虑到上述的短路问题，大大缩短了对短路状态的检测时间，可以避免在短路测试时出现大电流。如图 25 所示，虽然输入电容仍然只有 $1\mu\text{F}$ ，但 IC 输入端在测试时仍然处于安全区间内。

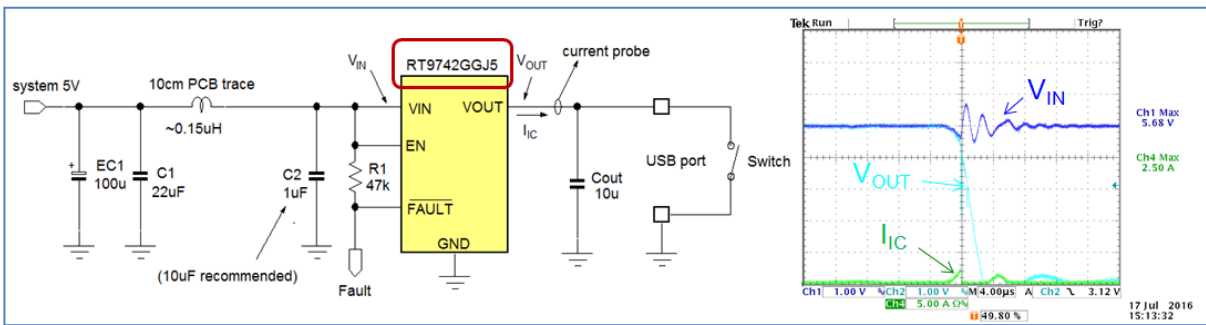


图 25

b. Buck 转换器的反向偏置问题

工作在强制 PWM 模式下的 Buck 转换器如 RT7285C 在经由输出端反向偏置时会表现出 Boost 转换器的行为。假如转换器的输出端由高于预设输出电压的外部电源供电时，IC 内部的下桥 MOSFET 会从输出端吸入电流，再与上桥 MOSFET 一起形成一个 Boost 转换器。如图 26 所示，该电路的输出端就由一个缓慢上升的 5V 电源供电，它的输入端电压将上升并最终将其 ESD 单元击穿。

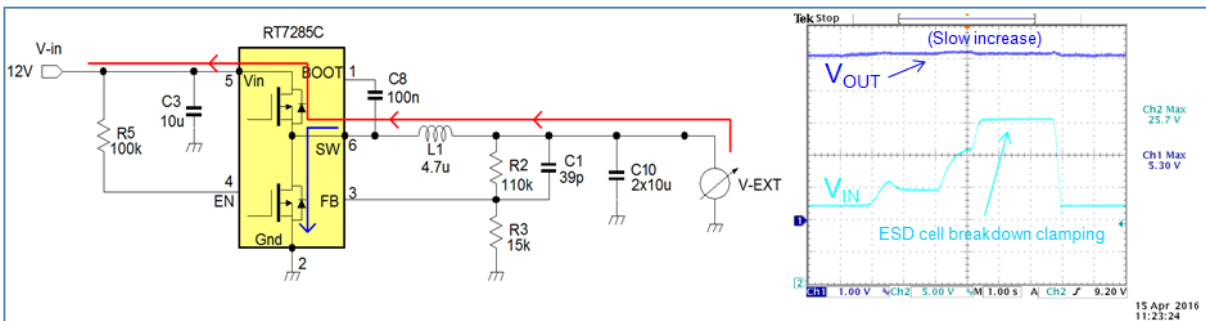


图 26

像这种电源反向偏置的情况并不经常发生，但在存在电池的系统中就容易出现。又假如在某些设计中使用了动态电压调节技术（通过反馈网络对输出电压进行调节），如果输出电容很大，又恰好遇到了输出电压的设定突然变低，Boost 的动作就会发生了。

c. 反馈网络阻抗高的两段式方案

两段式降压方案通常含有一级高压元件将电压降低到低于 5V 的电压，这样就可以用最高额定工作电压为 5.5V 的器件作为第二级来使用，它可能会再为系统提供一个更低的电压。

在图 27 中，第一级采用 17V 的电流模式 Buck 转换器 RT8297B 将 12V 的电压转换为 3.3V，低压差线性稳压器 RT9193-25 再从 3.3V 转出 2.5V。

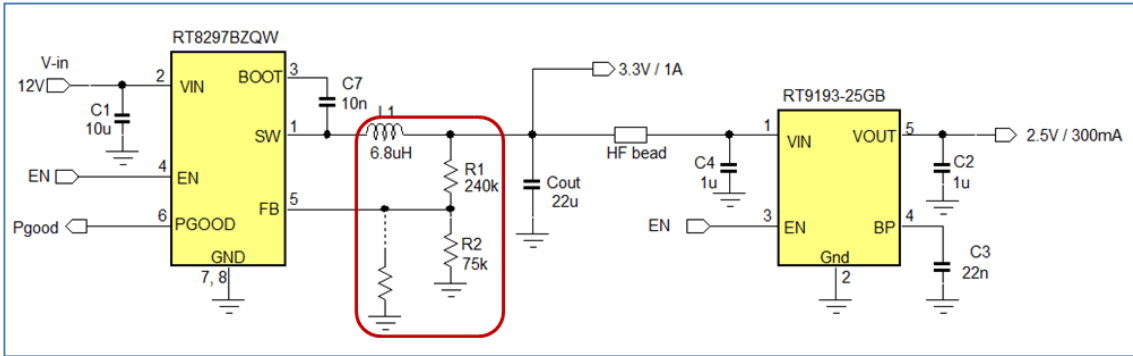


图 27

RT8297B 是采用内部补偿的 Buck 转换器，反馈电阻 R1 的值对误差放大器的增益会有影响，它必须被适当选择以得到合适的交叉频率。在此例中，输出电容是一只 22μF 的电容，这样就需要很高的 R1 值来维持稳定的工作，而高阻值的 R1 就导致了高阻抗的反馈网络。在通常情况下，这算不上一个问题，除非你拿手去触碰反馈网络，或者是遇到 PCB 存在漏电的状况（到地的），这时候的 FB 端就会受到干扰，导致输出电压的提高，严重的情况下就会导致线性稳压器的损坏。

有些电路设计者会故意用手去触碰以完成自己的测试，他们通过用手指触碰 PCB 上的不同位置来看会不会有电压抖动的现象，从而发现走线或是高阻的敏感位置。ACOT™ 架构的 Buck 转换器或使用 GM 型误差放大器的电流模式转换器对反馈网络的阻抗就不太敏感，可以在这样的应用中予以采用。

9. 用自制工具生成 EOS

下面介绍一些可以自制的过应力测试工具，用它们可以分别生成脉动的电流、电场和磁场。

a. ESD 发生器（图 28）

这款工具是用压电式的气体点火器改制的，这种工具不需要使用电池。

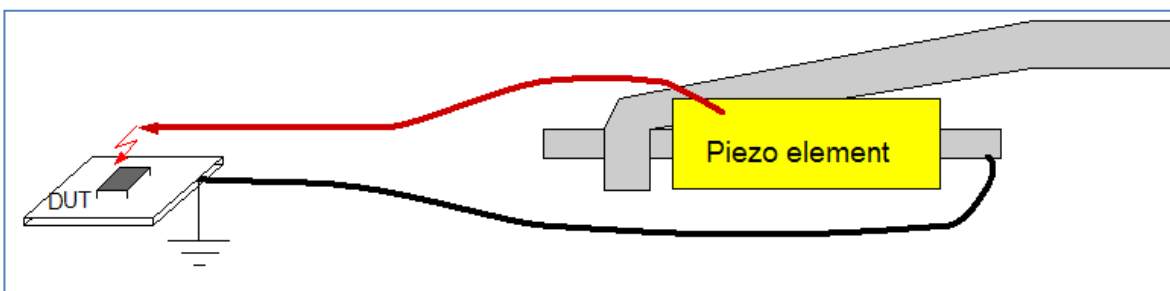


图 28

此工具可以像 ESD 枪一样生成高压脉冲，小心别把自己打着了。

下图是制作的流程：

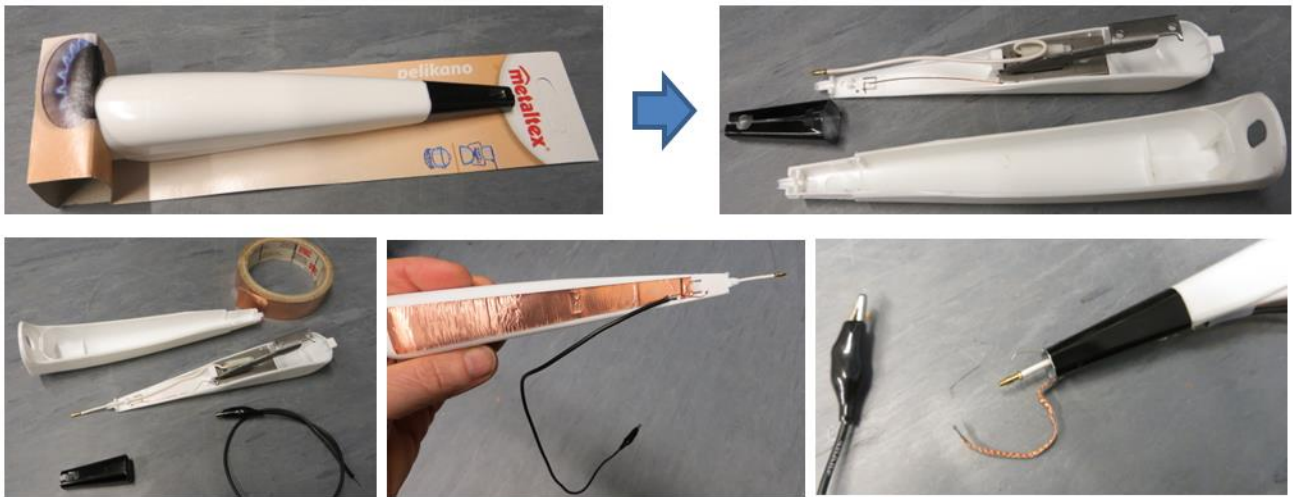


图 29

制作这个工具需要将压电式气体点火器拆开来进行。首先将金属外壳取下来，把高压线拨到外面，用铜箔把手柄盖住，将压电陶瓷的地与铜箔以及地线连接起来。再次装上金属外壳，确保它和铜箔之间连接良好。你还可以在外壳上增加一条地线以降低它和测试对象连接时的阻抗。参见图 29。

做试验的时候不要直接对 IC 进行攻击，你可以在不同的接地点之间或是电源的正极和地之间进行攻击，也可以在电源线上串联电阻以后再行攻击以得到更多不同的量化效果。

b. 脉冲电场发生器，见图 30。

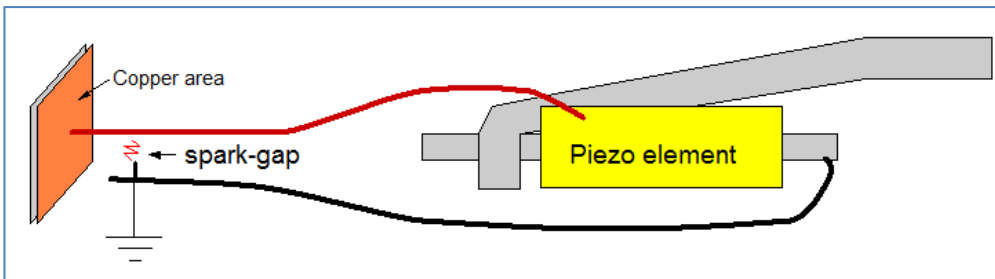


图 30

这个工具可直接从 ESD 发生器转变而来。将一块铜箔和高压节点连接起来，再在高压节点和地之间增加一个火花间隙即可形成，参见图 31。

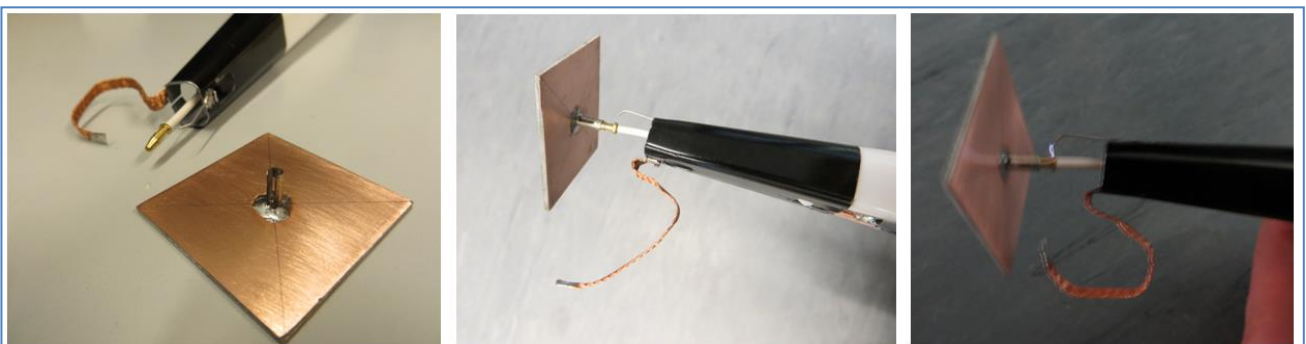


图 31

你可以用这个工具检查你的系统在快速变化的电场下的鲁棒性，很多高阻抗的电路会受到它的影响。

c. 脉冲磁场发生器，参见图 32。

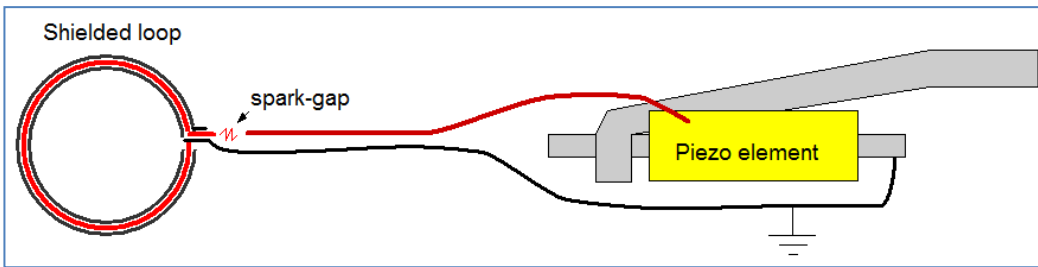


图 32

这个工具是通过将电流脉冲送入一个线圈使之生成快速变化的磁场来形成的。

你还是可以使用压电式点火器来制作此工具，但你这时候需要使用一个能够固定线圈的装置。在压电式点火器的顶端安装一个小型同轴连接器是比较方便的，这样会给连接不同的线圈带来方便。

一块小型的双面 PCB 可以用作安装连接器的基座，然后再将 PCB 和金属外壳焊接起来。你还需要增加一块接地的铜箔，它要将气体点火器的手柄、压电元件的地端和金属外壳连接在一起。

高压线的位置需要进行调节，使之形成 2~3mm 的火花放电间隙。

屏蔽环的制作与用于 EMI 测试的环形天线的制作方法是一样的，请参考应用笔记 [AN045](#)，请注意同轴线的内芯线末端要和电缆的屏蔽层焊接在一起。参见图 33。

你可以用这个工具对应用中的敏感环路进行检查，像 IC 的去耦回路就可以用此方法进行检测。你也可以将线圈与铁氧体磁芯耦合在一起将脉冲电流引入电缆中去，这很类似共模电流测量，但这时候的环形线圈变成了发送器。

需要注意的是这个工具可以生成极端糟糕的脉冲干扰，不要在敏感的数字电路附近使用它。



图 33

10. 总结

电源 IC 的损坏经常是由于输入电压过应力造成的，这在电源热插入导致出现过高电压尖峰或由线路电感和低 ESR 陶瓷电容形成谐振时就会发生。

当电源 IC 输入端的 ESD 单元遇到超过其能量承担水平的冲击能量时就会被损坏。造成 IC 损坏的 EOS 能量通常要比正常的人体模式 (HBM) ESD 能量高好几倍。当 ESD 单元被损坏的时候，作为其承载体的硅晶圆也会受到伤害。在大多数情况下，承载体的损坏会直接导致功率级的不正常运作，引起直通短路、功率级烧毁等问题。

具有折返特性的 ESD 单元在被触发以后可能保持在低于工作电压的电压上，这会在被触发之后立即导致大电流的出现。

由于热插入事件和电源线上的谐振效应都会将电压尖峰引入 IC 输入端，因而在电源设计过程中必须对这样的瞬态过程进行检查，确保在任何情况下都不会在 IC 输入端形成高电压。由于 ESD 单元的激活电压总是高于器件的绝对最大额定值，应用中能够出现的电压就不能超过 IC 的绝对最大额定值，以便确保 ESD 单元在工作过程中不会被激活。

参考文献：

[Fundamentals of Electromagnetic Compatibility 2nd edition, by B. Danker](#)

相关资源

立錡科技电子报

[订阅立錡科技电子报](#)

Richtek Technology Corporation

14F, No. 8, Tai Yuen 1st Street, Chupei City

Hsinchu, Taiwan, R.O.C.

Tel: 886-3-5526789

Richtek products are sold by description only. Richtek reserves the right to change the circuitry and/or specifications without notice at any time. Customers should obtain the latest relevant information and data sheets before placing orders and should verify that such information is current and complete. Richtek cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Richtek product. Information furnished by Richtek is believed to be accurate and reliable. However, no responsibility is assumed by Richtek or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Richtek or its subsidiaries.